



**Создание IBIS моделей
цифровых микросхем с
учетом воздействия
внешних факторов**



Исторический обзор

Создание - в начале 1990-х годов фирмой Intel Corporation.

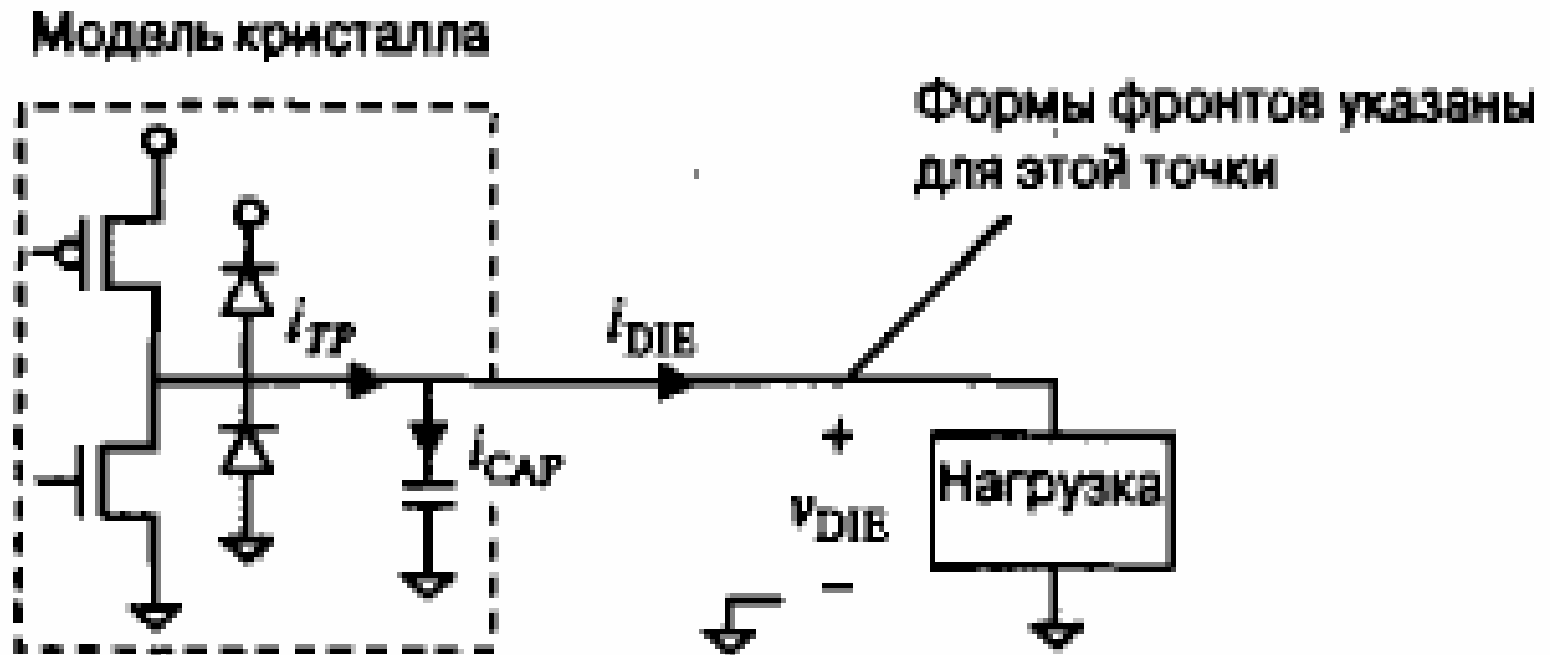
Июнь 1993 г. – появление версии 1.0 формата IBIS (реализация в виде текстового (ASCII) файла).

Август 1993 г. – выпуск уточненной версии (1.1), сформирована группа IBIS Open Forum, начата разработка утилиты преобразования SPICE-моделей в IBIS-модели

1999 г. – появление стандарта IBIS Version 3.2 — ANSI/EIA-656-A .

2001 г. – в пакет IBIS Version 3.2 были включены форматы расширенных характеристик ряда широко используемых компонентов

IBIS-модель кристалла, включающая емкость, влияние которой должно быть вычлнено из вольт-амперной характеристики



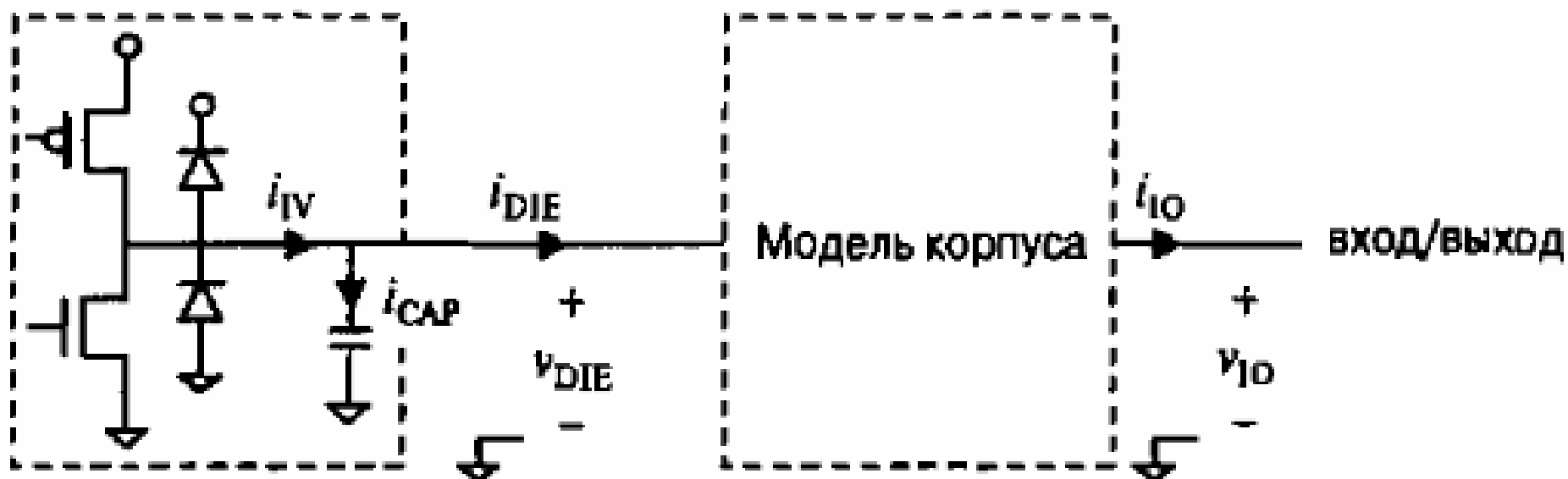


Задачи IBIS-программы моделирования

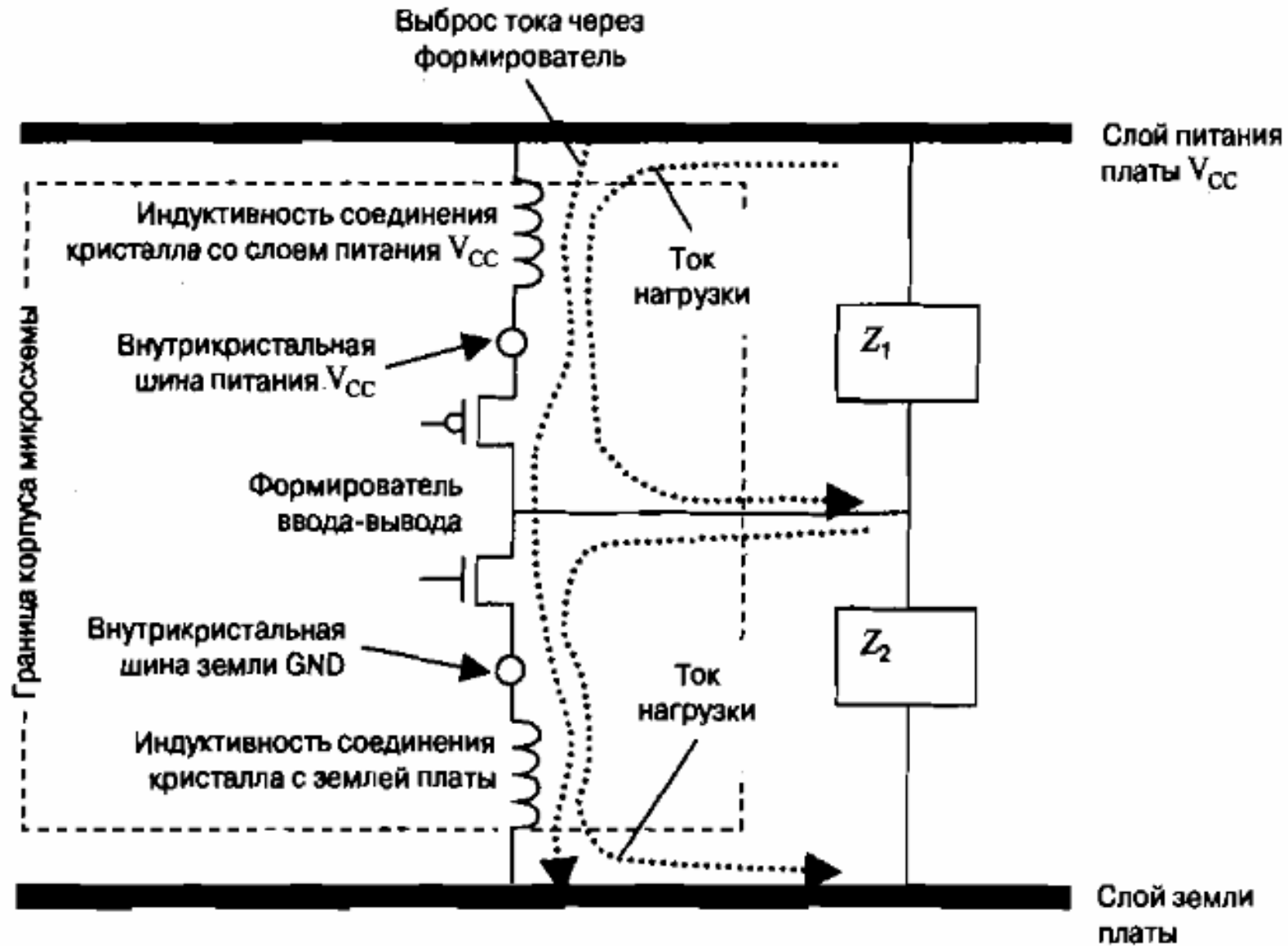
- 1. В статическом высокоуровневом состоянии она имитирует таблицу вольт-амперной характеристики высокоуровневого состояния, приведенную в спецификации IBIS-модели.
- 2. В статическом низкоуровневом состоянии она имитирует таблицу вольт-амперной характеристики низкоуровневого состояния, приведенную в спецификации IBIS-модели.
- 3. В интервал времени, соответствующий нарастающему фронту сигнала, при нагрузке, указанной в спецификации, она имитирует образцы формы нарастающего фронта, приведенные в спецификации IBIS-модели.
- 4. В период времени, соответствующий спадающему фронту сигнала, при нагрузке, указанной в спецификации, она имитирует образцы формы спадающего фронта, приведенные в спецификации IBIS-модели.

Построение IBIS-модели кристалла и ее корпуса

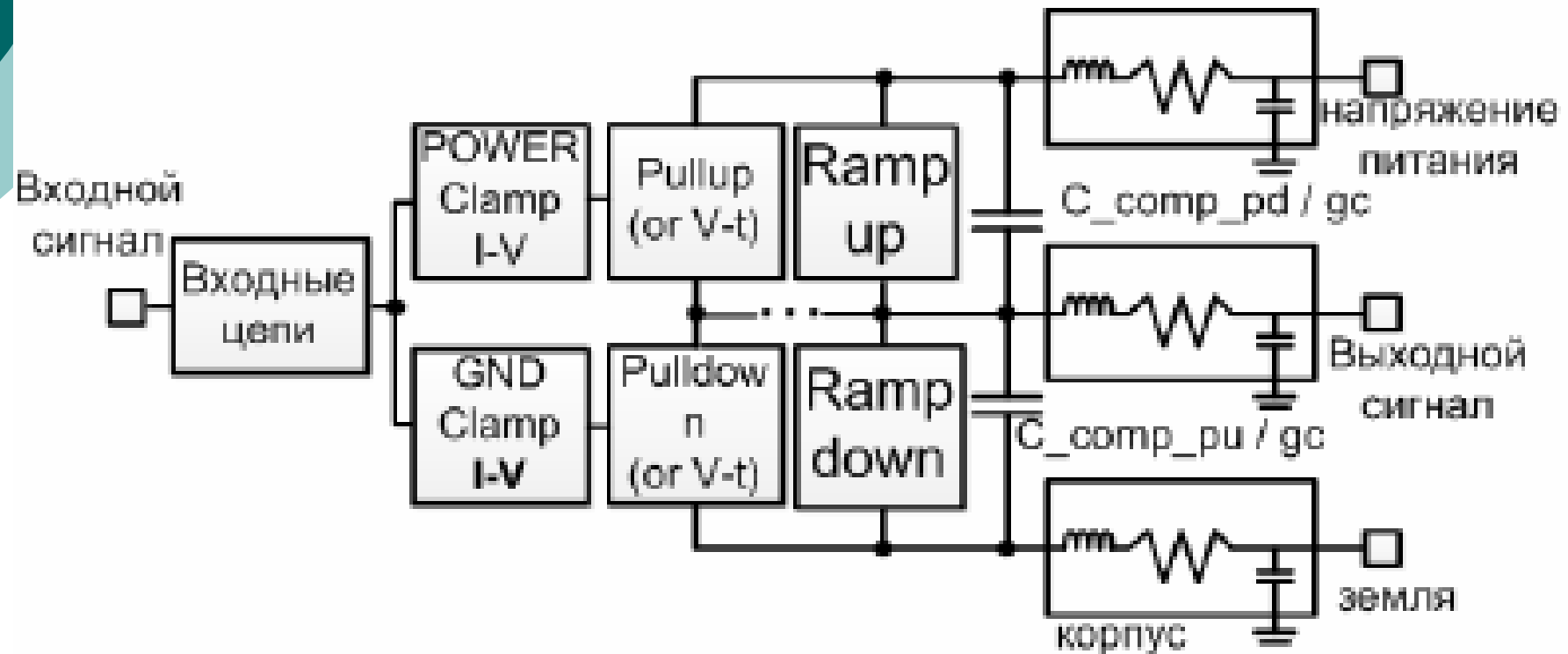
Модель кристалла



Выброс тока через формирователь




Структура и состав IBIS-моделей





Процесс создания IBIS-моделей включает в себя следующие шаги:

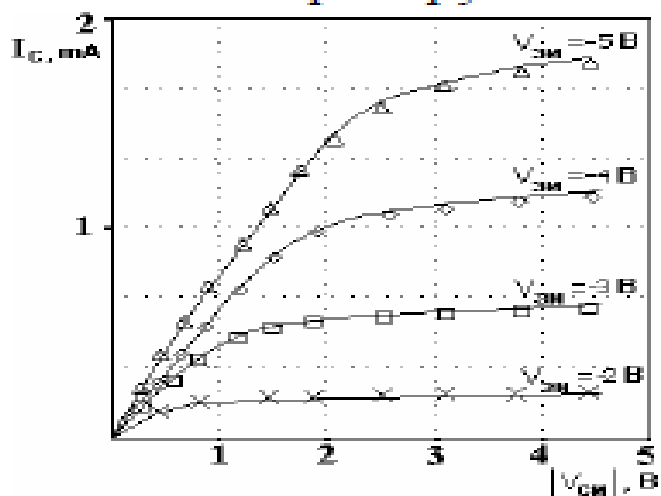
- 1) предварительный анализ микросхемы: определение диапазона напряжений питания, температурного диапазона, технологических разбросов; выбор требуемой версии модели;
- 2) Расчет (или измерение) требуемых наборов статических и динамических характеристик входных цепей и выходных каскадов данной микросхемы при обеспечении на входах и выходах требуемых логических состояний.



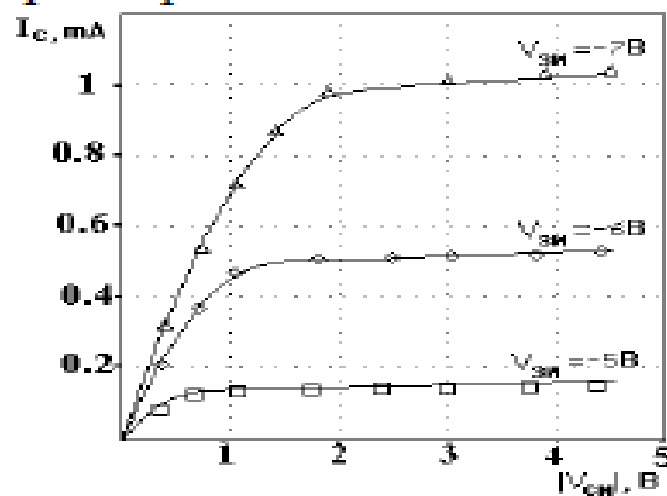
Тестирование модели на примере микросхемы КР1561ИЕ21 (основные параметры)

Ток потребления при 5В	10 мА
Входной ток	< 0.05мкА
Максимальный выходной ток в состоянии логической единицы	24 мА
Максимальный выходной ток в состоянии логического нуля	26 мА

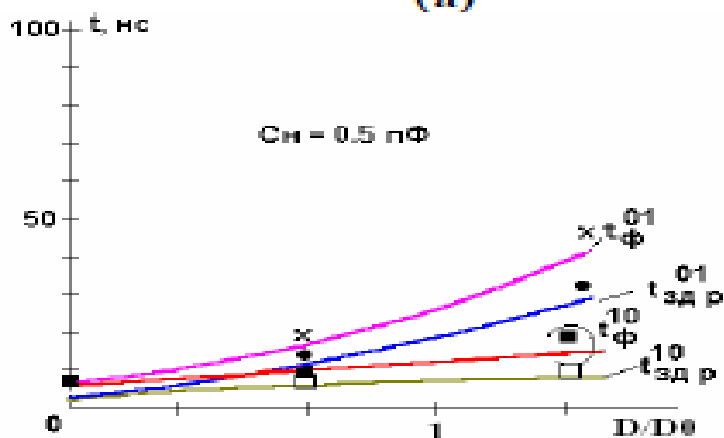
Тестирование модели на примере микросхемы КР1561ИЕ21 (измеренные и выходные вольт-амперные характеристики тестового р-канального МОП транзистора с $W/L=40/4$ мкм (а,б), времена фронтов и задержек КМОП инвертора (в) и RDT-триггера (г) в зависимости от относительной полученной дозы)



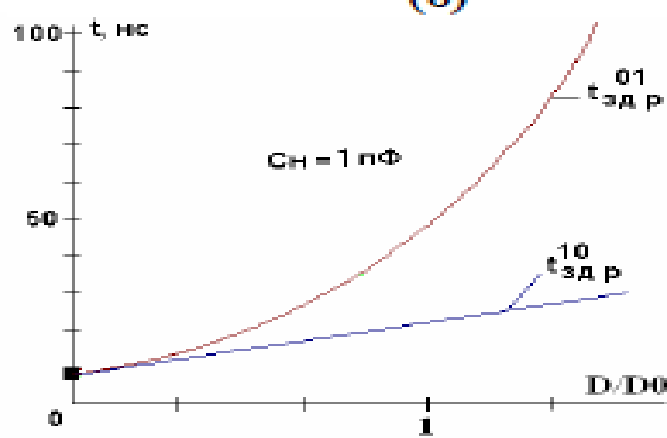
(а)



(б)

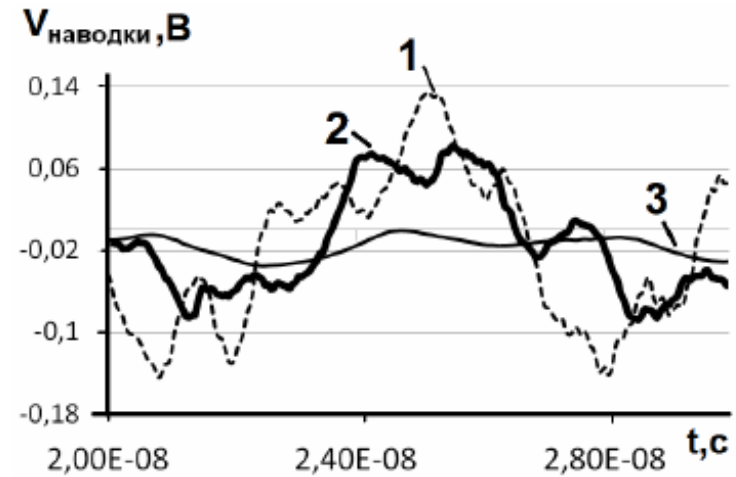
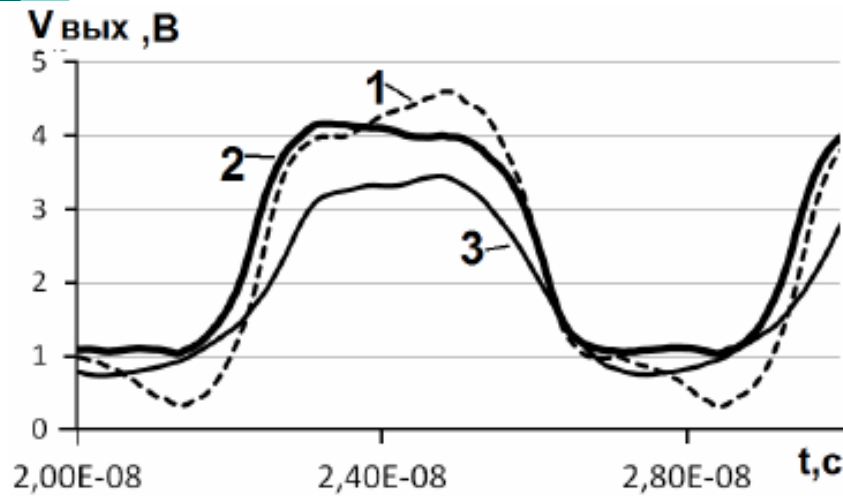


(в)



(г)

Напряжения на выходе логической схемы-«агрессора» (а) и напряжения на входе схемы-«жертвы» для длинной трассы (б), рассчитанные с помощью разработанных IBIS моделей





Спасибо за внимание!